

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2000-188394  
(P2000-188394A)

(43) 公開日 平成12年7月4日 (2000.7.4)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード <sup>*</sup> (参考)
H 0 1 L 29/78		H 0 1 L 29/78	3 0 1 G 5 F 0 4 0
// H 0 1 L 21/318		21/318	C 5 F 0 5 8

審査請求 未請求 請求項の数10 O L (全 7 頁)

(21) 出願番号 特願平10-363438

(22) 出願日 平成10年12月21日 (1998.12.21)

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 夏秋 信義

東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(72) 発明者 牛山 雅弘

東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

(74) 代理人 100083552

弁理士 秋田 収喜

最終頁に続く

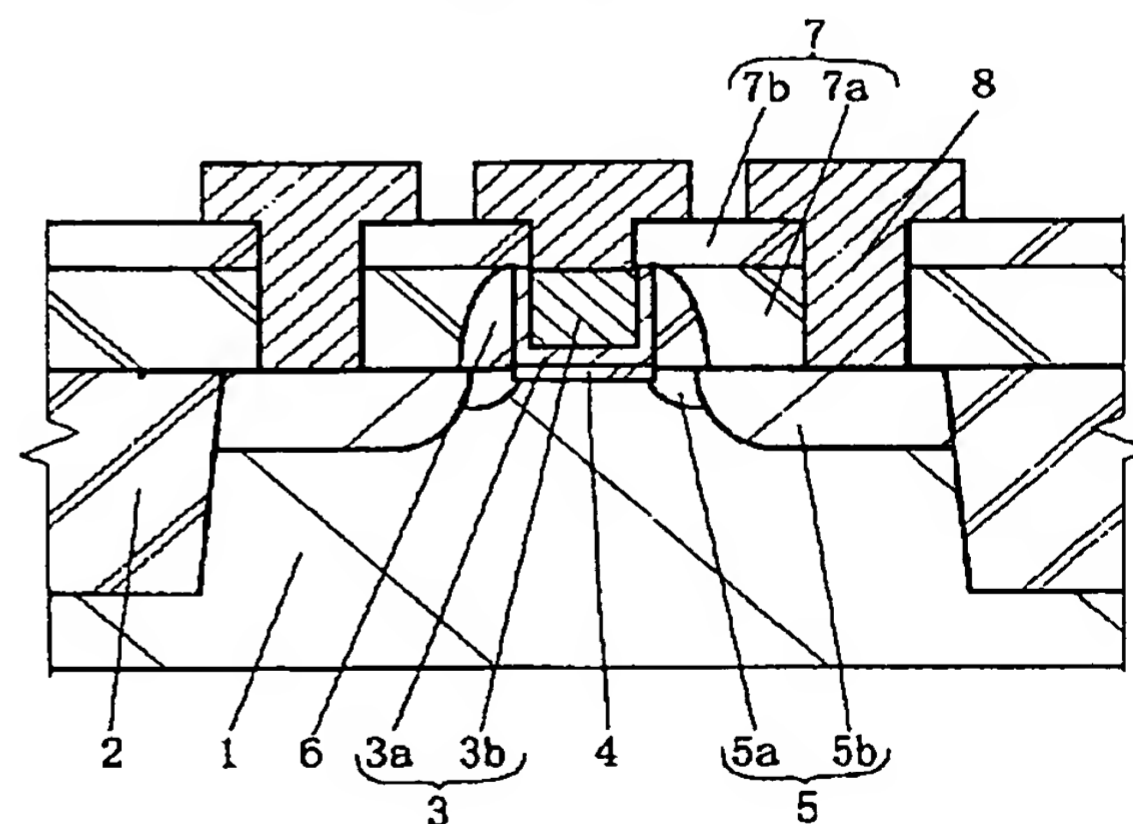
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】 (修正有)

【課題】 ゲートからチャネルへの不純物の拡散を防止し、更に、ゲートリーク電流を低減する。

【解決手段】 MISFETを有する半導体装置について、ゲート電極3の両側面に側壁6を設け、この側壁間の半導体基板1主面を、ソース領域、ドレイン領域5の半導体基板主面よりも低い溝状とする。また、その製造方法について、半導体基板主面のゲート電極形成領域にダミーゲート電極及び側壁を形成し、前記ゲート電極或いは側壁に対して自己整合で不純物を注入してアニールを行ないソース領域、ドレイン領域を形成し、前記ダミーゲート電極及びソース領域、ドレイン領域を覆う絶縁膜7に平坦化処理を行ない、この平坦化処理によって露出したダミーゲート電極を選択的に除去することによって露出した半導体基板主面にゲート絶縁膜4及びゲート電極3を形成する。

図 2



1

## 【特許請求の範囲】

【請求項1】 半導体基板主面に形成したドレイン領域及びソース領域と、半導体基板主面上にゲート絶縁膜を介して形成したゲート電極とによって構成されたMISFETを有する半導体装置であって、

前記ゲート電極の両側面に側壁が設けられており、この側壁間の半導体基板主面が、ソース領域、ドレイン領域の半導体基板主面よりも低い溝状となっていることを特徴とする半導体装置。

【請求項2】 前記半導体装置がデュアルゲート構成の相補型であり、高不純物濃度のp型多結晶シリコン層を含むゲート電極が設けられていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記p型多結晶シリコン層の不純物がBであることを特徴とする請求項2に記載の半導体装置。

【請求項4】 前記ゲート絶縁膜として、その組成がSiNxOyである膜を含むことを特徴とする請求項1乃至請求項3の何れか一項に記載の半導体装置。

【請求項5】 前記側壁が窒化珪素からなることを特徴とする請求項1乃至請求項4の何れか一項に記載の半導体装置。

【請求項6】 半導体基板主面に形成したドレイン領域及びソース領域と、半導体基板主面上にゲート絶縁膜を介して形成したゲート電極とによって構成されたMISFETを有する半導体装置の製造方法であって、半導体基板主面のゲート電極形成領域にダミーゲート電極を形成し、前記ダミーゲート電極の両側面に側壁を形成する工程と、

前記ゲート電極或いは側壁に対して自己整合で不純物を注入しソース領域、ドレイン領域を形成する工程と、注入したソース領域、ドレイン領域のアニールを行なう工程と、

前記ダミーゲート電極及びソース領域、ドレイン領域を覆う絶縁膜を形成する工程と、

前記絶縁膜の平坦化処理を行なう工程と、

この平坦化処理によって露出したダミーゲート電極を選択的に除去する工程と、

前記除去によって露出した半導体基板主面にゲート絶縁膜を形成する工程と、

前記側壁間にゲート電極を形成する工程と、

前記ゲート電極を覆う絶縁膜を形成する工程とを有することを特徴とする半導体装置の製造方法。

【請求項7】 前記半導体装置がデュアルゲート構成の相補型であり、高不純物濃度のp型多結晶シリコン層を含むゲート電極が設けられていることを特徴とする請求項6に記載の半導体装置の製造方法。

【請求項8】 前記p型多結晶シリコン層の不純物がBであることを特徴とする請求項7に記載の半導体装置の製造方法。

【請求項9】 前記ゲート絶縁膜として、その組成がS

2

iNxOyである膜を含むことを特徴とする請求項6乃至請求項8の何れか一項に記載の半導体装置の製造方法。

【請求項10】 前記側壁が窒化珪素からなり、前記ダミーゲート電極が不純物を含まない多結晶シリコンからなることを特徴とする請求項6乃至請求項9の何れか一項に記載の半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、半導体装置及びその製造方法に関し、特に、デバイス構造の微細化に関するものである。

## 【0002】

【従来の技術】 半導体装置では、高速性・低価格・小型軽量等の利点が生じることから、微細化を行ない集積度を高めることが求められている。また、半導体装置は、微細加工技術の進歩に伴うデバイス構造の縮小によって、高集積化、軽量化或いは小型化がなされるとともに、デバイス構造の縮小による配線長の短縮或いは作動電流の低減によってもたらされる高速化、低電力化等の特性の改善もなされてきた。

【0003】 こうした微細化では、デバイスそのものの寸法のスケールダウンが進められ、横方向並びに縦方向のディメンジョンが縮小されてきた。こうしたスケールリングに関し、MISデバイスでは、縮小に伴う種々のデバイスパラメータ（チャネル長、チャネル幅、接合深さ、横方向拡散距離、ゲート酸化膜膜厚）を、或るファクタに基づいて変化させ、高密度化・高集積化を行ない、性能の向上を予測するスケールリング理論が考えられており、これまでの微細化による性能向上は、このスケールリング理論に結果的に略合致している。従って、今後も性能向上のためにはデバイス構造の縮小が有効と考えられている。

【0004】 しかしながら、デバイス構造の縮小に伴う特性の改善が次第にゆるやかなものとなってきており、この傾向はチャネル長がサブミクロンからサブサブミクロンの領域のショートチャネルMIS (Metal Insulator Semiconductor) FET (Field Effect Transistor) で顕著なものとなっている。

【0005】 図1に、従来のMISFETの形成プロセスの概要フローを示す。まず、素子分離の行なわれた半導体基板主面にゲート絶縁膜を形成し、多結晶シリコン等をパターニングしてゲート電極を形成し、このゲート電極の端部を補修酸化し、このゲート電極に対して自己整合でソース領域、ドレイン領域の低濃度領域の不純物注入を行ない、ゲート電極に側壁を形成し、この側壁に対して自己整合で不純物を注入しソース領域、ドレイン領域の高濃度領域を形成し、注入したソース領域、ドレイン領域の不純物活性化・欠陥除去のアニールを行ない、ゲート電極及びソース領域、ドレイン領域を被覆す

3

る絶縁膜を堆積させ、平坦化処理を行ない、この絶縁膜に開口を設け接続電極を形成するコンタクト形成が行なわれる。他にコンタクトシリサイド化に関連して積み上げ (elevated) ソース領域、ドレイン領域等により、接合深さを浅くする構造も提案されている。

【0006】将来的な相補型 (CMOS) 半導体集積回路装置開発に際しては、高集積化、低消費電力化、高速化 (高駆動電流化) 等 MISFET の微細化と性能向上を進めるためには、デュアルゲート、SAC (Self-Aligned Contact hole) による自己整合 S/D コンタクト構造を前提として、極薄ゲート絶縁膜形成、p 型ゲート電極からのボロン漏れ防止及び極浅低抵抗ソース領域、ドレイン領域形成プロセスが必要となる。

【0007】一般的なデバイスのゲート絶縁膜は、熱酸化による酸化膜或いは窒化酸化膜若しくは再酸化窒化酸化膜が用いられている。これらは、意図的には窒素を含まない純然たる SiO<sub>2</sub> 膜か或いは NH<sub>3</sub>、N<sub>2</sub>O、NO ガス中での熱処理等により窒素を 10% 未満の濃度で添加した酸化珪素膜である。

【0008】また、例えば MNOS 不揮発性メモリ等の特殊なデバイスでは Si<sub>3</sub>N<sub>4</sub> 膜と SiO<sub>2</sub> 膜との積層膜をゲート絶縁膜として用い、窒化膜若しくは窒化膜/酸化膜の界面の電子トラップに電荷を充電・放電させることによってメモリ機能を現出している。同種の積層膜はフラッシュメモリの浮遊ゲートと制御ゲートとの間の層間膜等にも用いられている。なお、更に酸化膜を積層した ONO 膜も同様の目的に使用される場合がある。

【0009】

【発明が解決しようとする課題】しかしながら、ゲート絶縁膜を SiO<sub>2</sub> 換算膜厚で 3 nm 程度よりも薄くしようとすると、従来のプロセスでは次のような問題があった。第 1 の問題として、ゲート電極に多結晶シリコンを用いる場合、低抵抗化が必要なので高不純物濃度とされている。また、相補型 (CMOS) の構成の半導体装置にて、n 型のゲート電極と p 型のゲート電極とを用いるデュアルゲート技術が知られており、このデュアルゲートでゲート電極の多結晶シリコンを p 型の高不純物濃度とするには、不純物として B を用いることになる。

【0010】また、ソース領域、ドレイン領域の形成に関して、不純物注入及びアニール処理による浅接合形成が一般的で、ゲート電極形成後にソース領域、ドレイン領域形成が行なわれるために、ソース領域、ドレイン領域形成時の熱負荷がゲート構造にもくわえられることとなる。

【0011】ゲート絶縁膜として熱酸化膜を用いる場合には、主に、ソース領域、ドレイン領域形成時のこの熱負荷によって、p 型ゲート電極内の不純物特に B がゲート絶縁膜を透過しやすくなるため、ゲート絶縁膜の信頼性・安定性の劣化並びにしきい値閾値制御が困難になる。

4

【0012】この問題に対しては、窒化酸化膜或いは再酸化窒化膜を用いることは、単純な酸化膜に比べて、或る程度の効果はある。ゲート絶縁膜に窒素を含む膜を用いる技術については、例えば特開平 9-312393 号公報、特開平 7-254704 号公報、特開平 8-31958 号公報、特開平 5-145069 号公報等に開示されている。

【0013】しかしこれらの方法では、問題の根本的な解決にはなっていないので、スケーリングが更に進めば不十分となる。それは、ゲート空乏化を極小とするために多結晶シリコン中のドーパントを高濃度に添加せざるを得ないことに加えて、ゲート絶縁膜薄膜化に伴い透過現象が非線形的に増幅することから、現状の窒化酸化膜或いは再酸化窒化膜では窒素濃度が 10% 程度であり、透過防止を図るには不足となってくるからである。仕事関数が適切で酸化膜信頼性を劣化させない純メタルゲート材料があればこの問題は解決するが、トランジスタ特性の安定性や製造上の問題が未だ解決されていない。

【0014】加えて、従来、SAC 技術により自己整合でソース領域、ドレイン領域のコンタクト形成を行なうために、ゲート側壁及びゲートキャップとして窒化膜を用いている。この窒化膜中の水素が、ソース領域、ドレイン領域形成の熱処理で放出されることによって、この水素が酸化膜中の B の基板側への拡散を大幅に増速するという問題もある。

【0015】また、第 2 の問題として、熱酸化膜、窒化酸化膜或いは再酸化窒化酸化膜の物理的膜厚が 3 nm 程度よりも薄くなると、直接トンネリング電流が流れ、低消費電力化が難しくなる。第 1 及び第 2 の問題に対処するためには、不純物透過抑制効果が高く、誘電率が大きい窒化膜を含む積層膜が有利であるが、この場合には新たに第 3 の問題が障害になる。即ち、不揮発性メモリに應用されていることから容易に判るように、窒化膜積層構造は、電荷トラップが多く、汎用のゲート絶縁膜としては信頼性・安定性に乏しく、加えて、固定電荷やリーク電流も酸化膜と比べて増加する。窒化膜よりも誘電率の高い金属酸化膜若しくはその積層膜は、第 2 の問題解決には適当であるが、やはり第 3 の問題と同種の問題が生じる。

【0016】本発明の課題は、前述した問題を解決し、ゲートからチャネルへの不純物の拡散を防止することが可能な技術を提供することにある。本発明の他の課題は、ゲートリーク電流を低減することが可能な技術を提供することにある。本発明の前記ならびにその他の課題と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0017】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。半導体基板主面に形成したドレイ

5

ン領域及びソース領域と、半導体基板主面上にゲート絶縁膜を介して形成したゲート電極とによって構成されたMISFETを有する半導体装置について、前記ゲート電極の両側面に側壁を設け、この側壁間の半導体基板主面を、ソース領域、ドレイン領域の半導体基板主面よりも低い溝状とする。

【0018】また、その製造方法について、半導体基板主面のゲート電極形成領域にダミーゲート電極を形成し、前記ダミーゲート電極の両側面に側壁を形成し、前記ゲート電極或いは側壁に対して自己整合で不純物を注入してソース領域、ドレイン領域を形成し、注入したソース領域、ドレイン領域のアニールを行ない、前記ダミーゲート電極及びソース領域、ドレイン領域を覆う絶縁膜に平坦化処理を行ない、この平坦化処理によって露出したダミーゲート電極を選択的に除去することによって露出した半導体基板主面にゲート絶縁膜及びゲート電極を形成する。

【0019】以下、本発明の実施の形態を説明する。なお、実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0020】

【発明の実施の形態】図2は、本実施の形態のデュアルゲート構成相補型半導体装置の要部であるMISFETを示す縦断面図である。図中、1は単結晶シリコン等の半導体基板であり、2は半導体基板1主面を各素子形成領域に区分するSGI型の素子間分離絶縁膜であり、3は半導体基板主面1上にゲート絶縁膜4を介して形成されたゲート電極であり、5は半導体基板主面に形成した低濃度領域5a及び高濃度領域5bからなるドレイン領域、ソース領域である。なお、ここで半導体基板1としては、ウェハ単体の場合、表面にエピタキシャル層が形成されている場合、或いは、表面にウエルが形成されている場合等が含まれる。

【0021】ゲート電極3の両側面には窒化珪素からなる側壁6が設けられており、この側壁6間の半導体基板1主面が、ソース領域、ドレイン領域5の形成されている半導体基板1主面よりも低く浅い溝状となっている。このため、ソース領域、ドレイン領域5は実効的な浅接合化が可能となる。ゲート電極3は、高不純物濃度のBを含むp型多結晶シリコン層3aとWNにWを積層した金属膜3bとを積層した構成となっている。

【0022】ゲート絶縁膜4は、1nm程度の酸化膜に窒素を50%以上の高濃度に含有した3nm程度の酸窒化膜を積層した構成となっている。また、こうしたゲート絶縁膜4としては、その組成を $\text{SiN}_x\text{O}_y$ とした場合に、 $(x \geq y : x = 50\% \sim 95\%)$ となる単層膜、この単層膜を $x \leq y$ の単層膜に積層した積層膜としてもよい。

【0023】ゲート電極3及びソース領域、ドレイン領

6

域5は層間絶縁膜7によって覆われており、この層間絶縁膜7は、ソース領域、ドレイン領域5及び側壁6を覆いゲート電極3の上面にて平坦化されている第1絶縁膜7aと、平坦化されたゲート電極3及び第1絶縁膜7aを覆う第2絶縁膜7bとからなっている。

【0024】そして、この層間絶縁膜7に設けられた開口を通して、ゲート電極3及びソース領域、ドレイン領域5の各所定領域に接続配線8が接続されている。

【0025】図3は、図2に示すMISFETの形成プロセスを示す概要フロー図であり、図4乃至図11は、その製造方法を説明するために、MISFETを工程毎に示す要部縦断面図である。図4乃至図11を用いて、前述した半導体装置の製造方法について、各製造工程毎に説明する。

【0026】まず、SGI型の素子分離膜2によって各素子形成領域に分離されている半導体基板1主面に、熱酸化によって、イオン打込み時の保護膜となるパッド絶縁膜10を全面に形成し（ステップa）、熱CVDによって全面に堆積させたノンドープの多結晶シリコン層をホトリソグラフィ技術によって形成したレジストマスクを用いたドライエッチングによってパターニングし、ダミーゲート電極9をゲート電極形成領域にゲート電極3と同一平面形状に形成し（ステップb）、このダミーゲート電極10に対して自己整合で半導体基板1主面に $\text{BF}_2$ のイオン打込みを行ない、ドレイン領域5及びソース領域5の低濃度領域5aを形成する（ステップc）。この状態を図4に示す。

【0027】次に、窒化珪素膜を熱減圧CVD法によって全面に形成し、この後RIE等の異方性エッチング加工によってダミーゲート電極9の側壁6を形成し（ステップd）、この側壁6に対して自己整合で半導体基板1主面に $\text{BF}_2$ のイオン打込みを行ない、ドレイン領域5及びソース領域5の高濃度領域5bを形成する（ステップe）。なお、ドレイン領域5及びソース領域5のイオン注入後に、注入欠陥の回復・注入原子の電気的活性化のためのアニールを、少量（10%以下）の水分を含む水素雰囲気（以下、WH雰囲気という）中で行なう（ステップf）。この状態を図5に示す。

【0028】次に、第1絶縁膜7aとなる酸化珪素膜をCVD法によって全面に形成する（ステップg）。この状態を図6に示す。次に、第1絶縁膜7aを、CMPによりダミーゲート電極9上面が露出するまで平坦化処理する（ステップh）。この状態を図7に示す。次に、露出したダミーゲート電極9を選択的に除去し（ステップi）、続いてダミーゲート電極9の下に位置するパッド絶縁膜10を選択的に除去し、この除去の際のオーバーエッチングによって、半導体基板1主面に浅溝を自己整合で形成する（ステップj）。この状態を図8に示す。

【0029】次に、前記浅溝の表面にWH雰囲気中で熱

酸化を行ない、乾燥酸素ガス雰囲気中と同等以下の酸化速度でゆっくりと、1 nm程度の酸化膜を形成する。このため、従来の窒素雰囲気下での処理と比較して、膜厚の精度が向上する。続いて、この酸化膜に、CVD法により堆積させた単原子相当の窒化膜を熱酸化するプロセスを繰り返して、窒素を50%～90%程度の高濃度に含まながら、含有水素の少ない酸窒化膜を堆積させてゲート絶縁膜4を形成する(ステップk)。続いて、ゲート電極3を構成する高不純物濃度のBを含むp型多結晶シリコン層3aとWNにWを積層した金属膜3bをCVD法によって全面に形成する(ステップl)。この状態を図9に示す。

【0030】なお、直接トンネリング電流は膜の物理膜厚に対して逆指数関数的に減少する。例えば、2.5 nmの膜と誘電率が2倍で5 nmの膜とでは1桁以上電流値が異なってしまう。このため、50%以上窒素を含む酸窒化膜では、誘電率が従来の熱酸化膜、窒化酸化膜或いは再酸化窒化酸化膜と比較して、数10%から倍近くになるため、同等のSiO<sub>2</sub>換算膜厚とした場合に、物理膜厚を大きくすることができるので、直接トンネルリーク電流を飛躍的に低減することができる。

【0031】加えて、従来のCVD法による窒化膜は構造欠陥が多く高密度のトラップを内蔵しているが、前述した本発明の酸窒化膜では単原子層レベルで酸化を行なうことによって容易に欠陥が修復され膜中のトラップが減少する。更にこの酸化によって膜中の水素の離脱が促進される。結果として、従来の窒化膜或いはNO膜で問題となっていたゲートリーク電流が、前記酸窒化膜では低減する。

【0032】次に、CMPによる平坦化処理を行ない、ゲート領域以外の多結晶シリコン層3a及び金属膜3bを除去し、ゲート電極3を形成し(ステップm)、第2絶縁膜7aを形成する(ステップn)。この状態を図10に示す。

【0033】次に、ホトリソグラフィ技術によってパターンニングしたレジストマスク(図示せず)を用いたエッチングによってソース領域5或いはドレイン領域5の接続領域を露出させた開口を形成し、同様に、ゲート電極3の接続領域を露出させた開口を形成する(ステップo)。この状態を図11に示す。

【0034】この後、タングステン等の金属をスパッタ法によって堆積させエッチバックによって平坦化して前記開口を埋め込むプラグを形成し、アルミニウム等の金属をスパッタ法によって全面に形成し、ホトリソグラフィ技術とエッチングによってパターンニングして配線層を形成し、このプラグと配線層とによって接続配線8を構成すると、図2に示す状態となる。

【0035】この後、更に、α線ソフトエラー耐性を向上させるためのポリイミド系樹脂膜等をポッティングによって塗布形成し、半導体装置の外部端子となるボンデ

イングパッドを開口して半導体装置のウエハプロセスが完了する。

【0036】以上、本発明者によってなされた発明を、前記実施の形態に基づき具体的に説明したが、本発明は、前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

#### 【0037】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1) 本発明によれば、ソース領域、ドレイン領域の形成後にゲート電極を形成するため、ソース領域、ドレイン領域の形成の際の熱負荷がゲート電極に加わるのを回避することができるという効果がある。

(2) 本発明によれば、ゲート絶縁膜として窒素を含む膜を形成することができるという効果がある。

(3) 本発明によれば、上記効果(1)(2)により、ゲート電極に含まれる不純物の基板への透過を防止することができるという効果がある。

(4) 本発明によれば、半導体基板主面のゲート領域に浅溝を自己整合で形成することができるという効果がある。

(5) 本発明によれば、上記効果(4)により、ゲート領域の半導体基板主面がソース領域、ドレイン領域の形成されている半導体基板1主面よりも低くなっているため、ソース領域、ドレイン領域は実効的な浅接合化が可能となるという効果がある。

#### 【図面の簡単な説明】

【図1】MISFETの従来の形成プロセスを示す概要フロー図である。

【図2】本発明の一実施の形態となる半導体装置の要部であるMISFETを示す縦断面図である。

【図3】図2に示すMISFETの形成プロセスを示す概要フロー図である。

【図4】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図5】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図6】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図7】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図8】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図9】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図10】本発明の一実施の形態である半導体装置の要部を製造工程毎に示す縦断面図である。

【図11】本発明の一実施の形態である半導体装置の要

9

部を製造工程毎に示す縦断面図である。

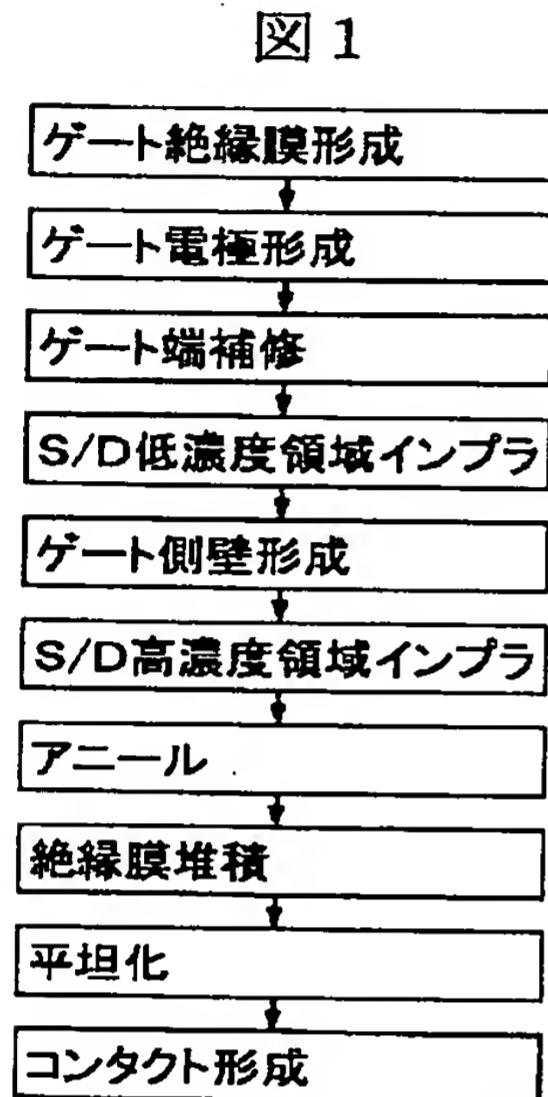
【符号の説明】

1…半導体基板、2…素子間分離絶縁膜、3…ゲート電極、3a…多結晶シリコン膜、3b…金属膜、4…ゲート絶縁膜、5…ドレイン領域、ソース領域、5a…低濃度領域、5b…高濃度領域、6…側壁、7…層間絶縁膜、7a…第1絶縁膜、7b…第2絶縁膜、8…接続配線、9…ダミーゲート電極、10…パッド絶縁膜。

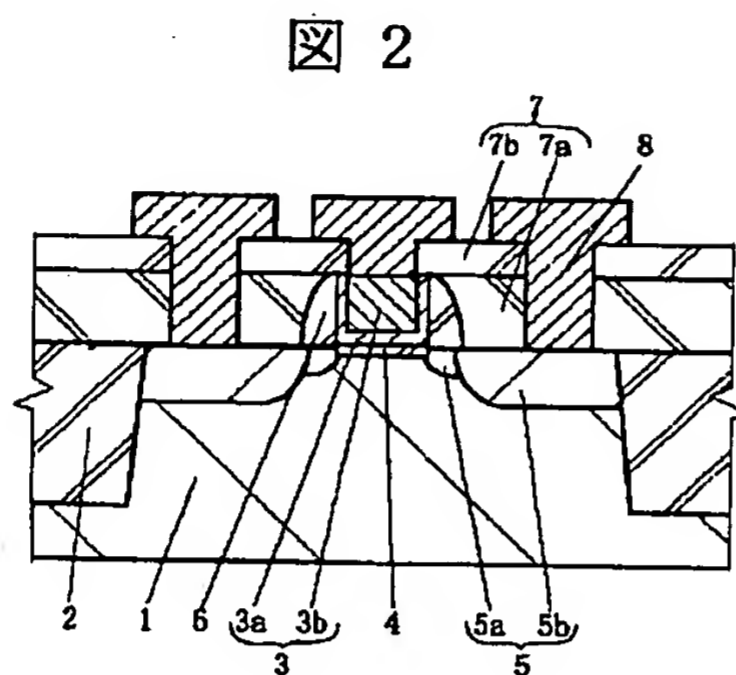
10

\*ト絶縁膜、5…ドレイン領域、ソース領域、5a…低濃度領域、5b…高濃度領域、6…側壁、7…層間絶縁膜、7a…第1絶縁膜、7b…第2絶縁膜、8…接続配線、9…ダミーゲート電極、10…パッド絶縁膜。

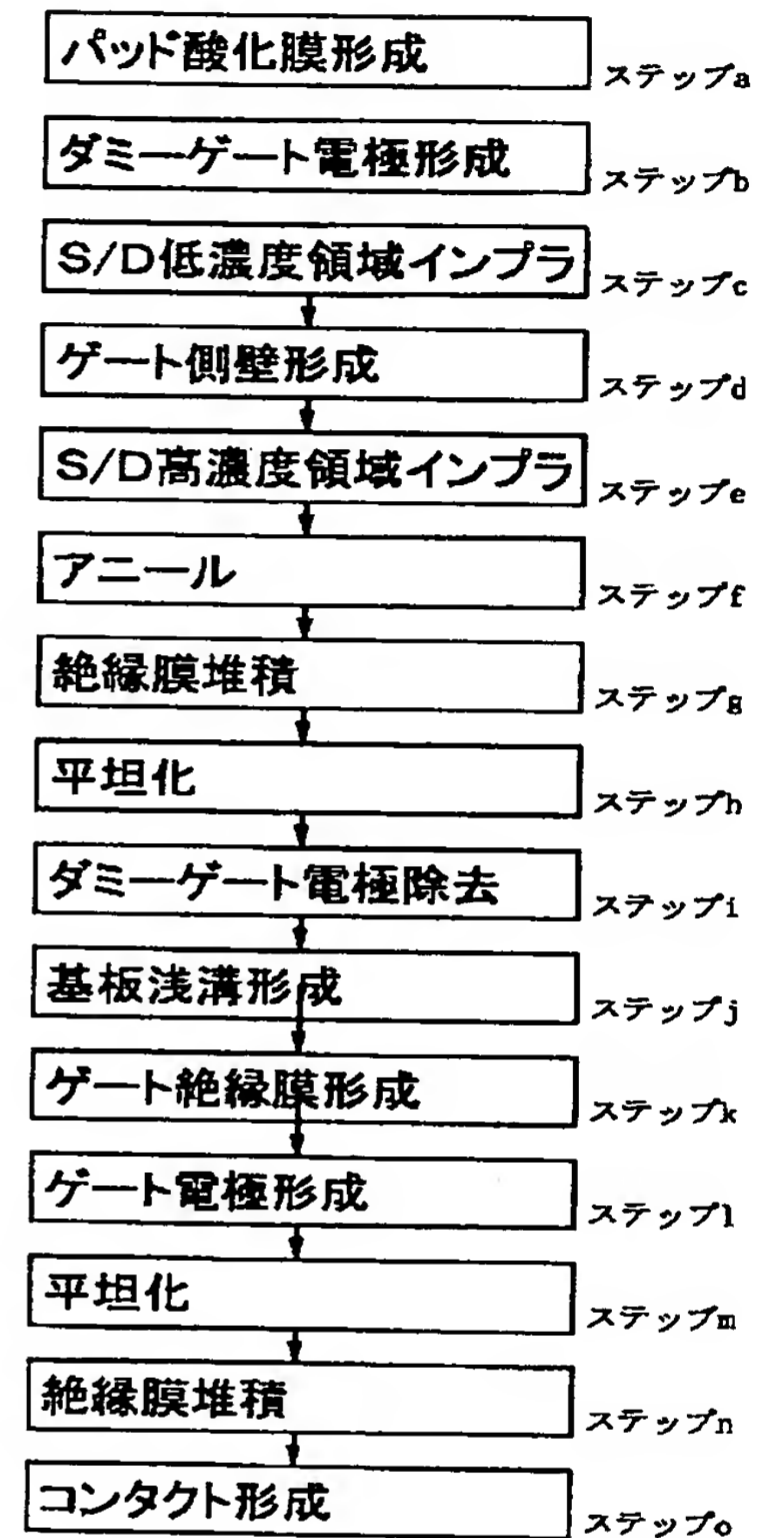
【図1】



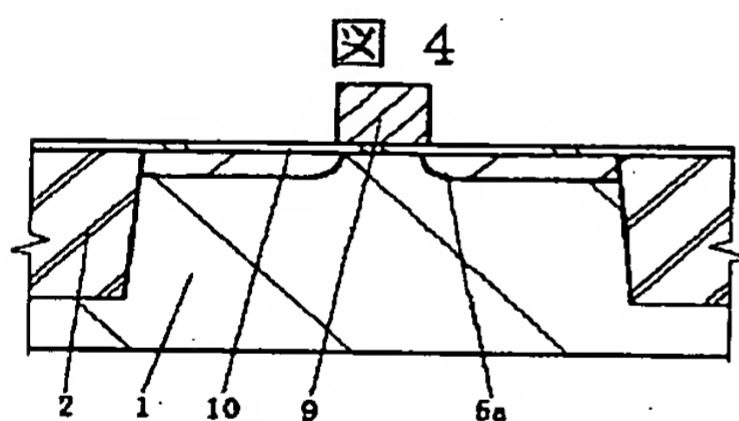
【図2】



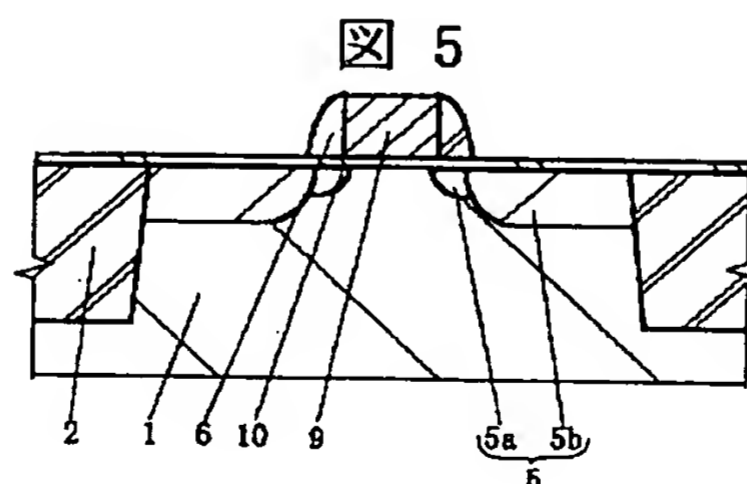
【図3】



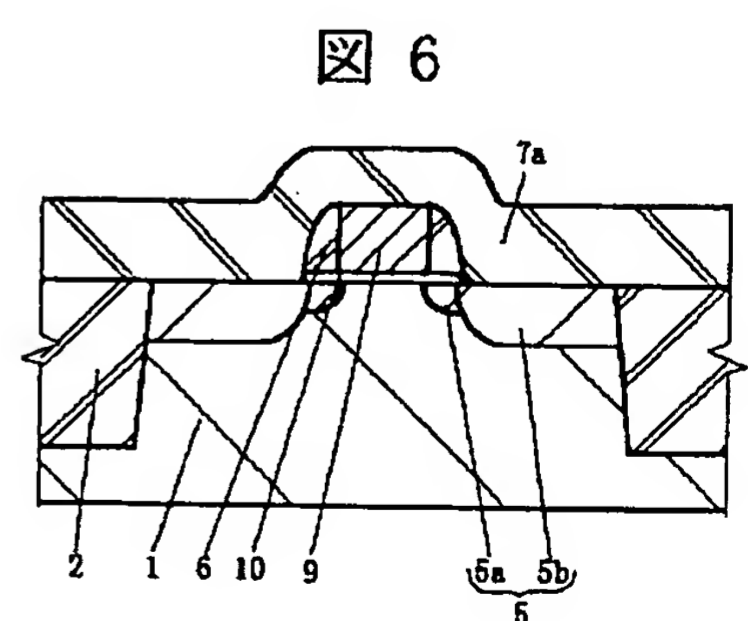
【図4】



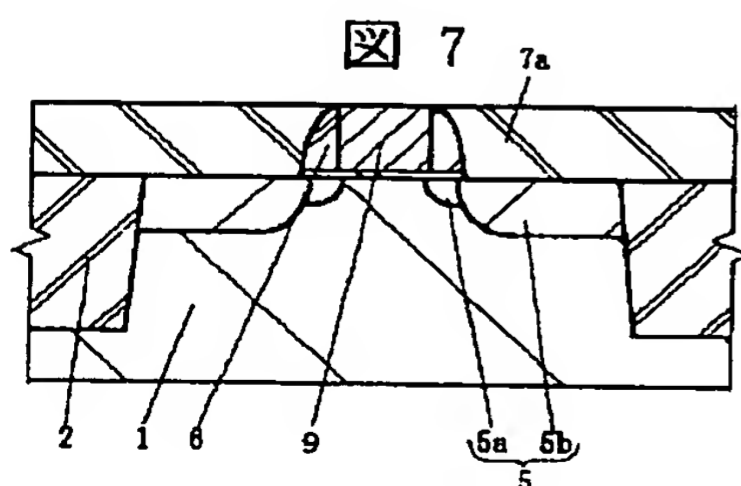
【図5】



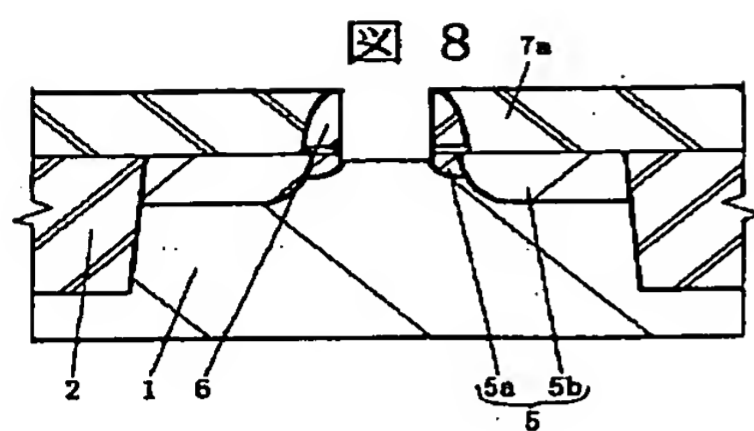
【図6】



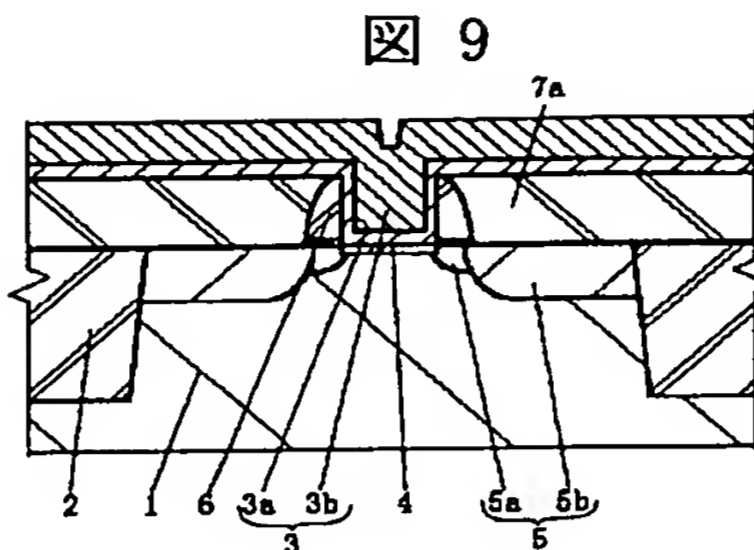
【図7】



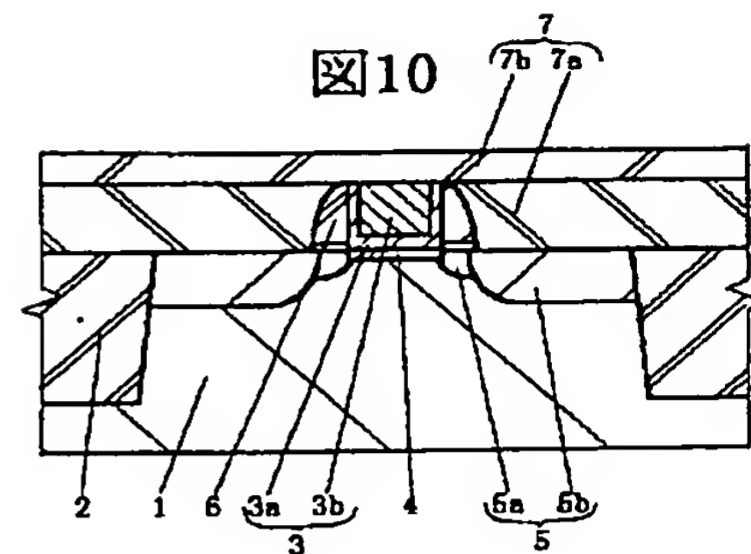
【図8】



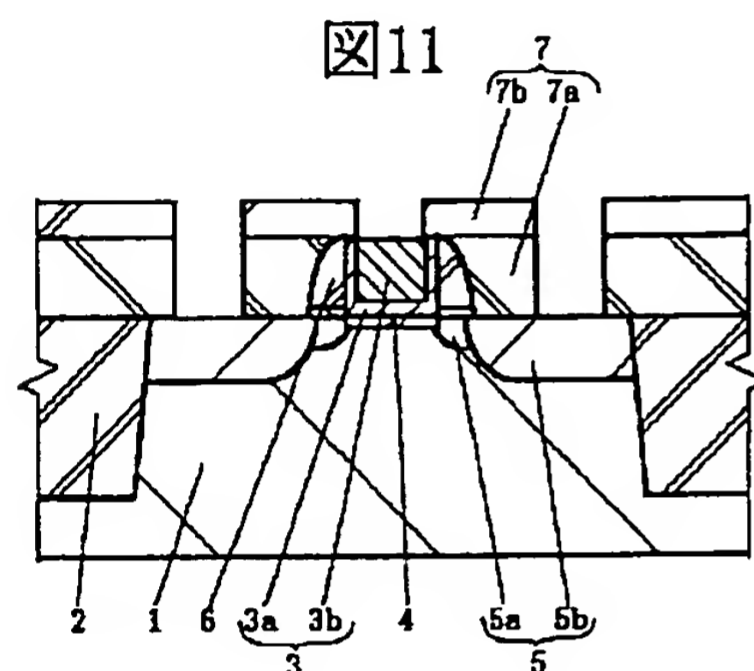
【図9】



【図10】



【図11】



フロントページの続き

(72)発明者 辻川 真平  
東京都国分寺市東恋ヶ窪一丁目280番地  
株式会社日立製作所中央研究所内

Fターム(参考) 5F040 DA06 DA13 DA25 DC01 EC02  
EC04 EC07 EC12 ED03 EE04  
EF02 EF11 EH02 EJ03 EK05  
EL02 FA02 FA07 FB02 FB05  
FC00  
5F058 BA05 BA20 BC11 BF02 BF30  
BF62 BF64 BJ01 BJ10

**THIS PAGE BLANK (USPTO)**